

Программно-аппаратные решения повышения сбоеустойчивости комбинационных схем в базисе ПЛИС с учётом межсоединений и блоков ввода-вывода

В.С. Рухлов, Р. А. Соловьев, А. Г. Кустов

Институт проблем проектирования в микроэлектронике РАН, г. Москва,
vladimir.rukhlov@ippm.ru

Аннотация — В статье предложены программно-аппаратные решения повышения сбоеустойчивости комбинационных схем в базисе программируемых логических интегральных схем (ПЛИС) с учётом межсоединений и блоков ввода-вывода, что может быть использовано также и для программируемых пользователем вентильных матриц (ПВМ). Для этого реализовано программное решение, выполняющее поиск критических логических элементов, ошибка в которых наиболее вероятно повлияет на выходы проекта в базисе ПЛИС. Метод вычисления коэффициента чувствительности комбинационной схемы в базисе ПЛИС адаптирован для элементов активированных в проекте локальных и глобальных шин, а также прочих используемых элементов. Описан метод оценки сбоеустойчивости комбинационных схем в базисе ПЛИС.

Предложены варианты минимизации встроенной избыточности сбоеустойчивых элементов ПЛИС. Проведена экспериментальная работа по формированию сбоеустойчивых проектов комбинационных схем в базисе сбоеустойчивых ПЛИС.

Ключевые слова — комбинационная логика, ПЛИС, программируемые логические интегральные схемы, LUT, логический синтез, повышение сбоеустойчивости, система автоматизации проектирования (САПР), инжектирование ошибок, кратковременные единичные сбои, межсоединения ПЛИС, блоки ввода-вывода, локальные шины ПЛИС, глобальные шины ПЛИС.

I. ВВЕДЕНИЕ

В основе программируемых логических интегральных схем (ПЛИС) используется реконфигурируемая регулярная структура с добавлением сложнофункциональных блоков (ФАПЧ (фазовая автоподстройка частоты), аппаратные умножители, цифровые сигнальные процессоры). Базовым элементом является комбинационная ячейка ЛБ (Логический блок, LUT - Look up table) с добавлением программируемого последовательного элемента и конфигурационных данных, определяющих функцию узла. Базовым узлом ЛБ в классическом варианте является мультиплексор. Пример модели трехходовой ячейки ЛБ на основе мультиплексоров представлен на рис. 1 [1].

Проект в базисе ПЛИС формируется за счет изменения межсоединений ячеек ЛБ и конфигурационных данных этих ячеек. Таким образом, общая структура комбинационной части проекта в базисе ПЛИС равнозначно представлена не только описанием на уровне мультиплексоров, но и на уровне ячеек ЛБ, а также конфигурационных бит.

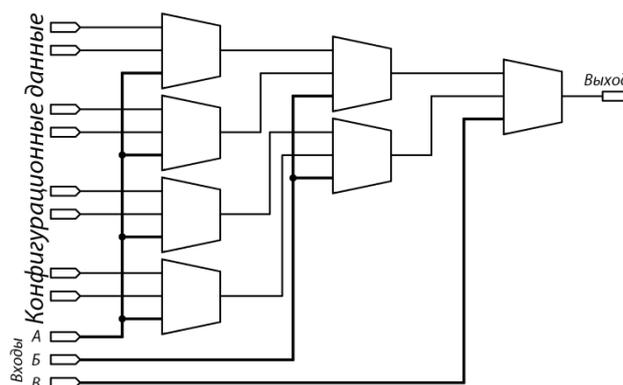


Рис. 1. Схема комбинационной части ячейки ЛБ

Использование, разработка, оптимизация и повышение сбоеустойчивости ПЛИС является актуальным направлением цифровой схемотехники. Внедрение множества сложно-функциональных блоков, улучшение регулярной структуры программируемых устройств и программной составляющей открывают гибкие возможности для разработчиков, позволяя использовать устройства не только для прототипирования, но и в составе коммерческих устройств. Возможно применение сбоеустойчивых ПЛИС в аппаратуре специального назначения, в частности в области космонавтики, авионики, управления атомными электростанциями и другими ответственными промышленными объектами. Проектирование сбоеустойчивых ПЛИС является острой проблемой и не имеет универсального решения ввиду значительной избыточности, заложенной производителями, для применения традиционных подходов повышения надёжности (модульное резервирование, схемотехнические решения), а также ограниченное количество продукции данного класса надёжности, представленное на рынке. Таким образом, возможности разработчика при использовании сбоеустойчивой ПЛИС значительно ограничены

относительно неспециализированных вариантов программируемых устройств. Разработка подходов и методов проектирования комбинационных и последовательных сбоеустойчивых регулярных структур аппаратных блоков ПЛИС открывает разработчикам и производителям ПЛИС новые возможности для создания сбалансированных и более функциональных решений.

II. ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

A. Маршрут проектирования

Создание проектов в базе ПЛИС возможно в рамках маршрута проектирования, включающего этапы логического синтеза исходного описания проекта, его трансляции в ячейки ЛБ, а также этапов размещения и трассировки элементов в регулярной структуре ПЛИС.

Существуют программные подходы формирования сбоеустойчивых комбинационных схем в базе ПЛИС методом кратного резервирования исходного описания проекта [2], а также оптимизации по логическому маскированию на уровне нетлиста [3], [4].

Использование аппаратных методов повышения надежности для ПЛИС направлено на защиту конфигурационных данных [5]-[7], а также может включать логическое и временное маскирование комбинационных участков [8], [9].



Рис. 2. Маршрут проектирования сбоеустойчивых схем ПЛИС

Формирование сбоеустойчивой структуры с минимальной избыточностью возможно только при использовании комплексного программно-аппаратного подхода, что требует дополнения маршрута проектирования комбинационных схем в базе ПЛИС этапами оценки и повышения сбоеустойчивости проекта.

Повышение сбоеустойчивости в данном случае обязано учитывать особенности архитектуры, используемой в проекте ПЛИС. Используемые методы отличаются для разных схем, однако можно построить общий маршрут проектирования для всех схем ПЛИС [10], показанный на рис. 2.

Важным этапом маршрута проектирования сбоеустойчивых комбинационных схем в базе ПЛИС является этап оценки сбоеустойчивости на уровне нетлиста из логических блоков (LUT) с учетом межсоединений и блоков ввода/вывода (Post Layout).

B. Описание этапа оценки сбоеустойчивости

В рамках этапа оценки сбоеустойчивости комбинационной схемы в базе ПЛИС исследуется возможность проекта маскировать случайные сбои, возникающие на выходах элементов схемы. Для оценки сбоеустойчивости достаточно поочередно вносить неисправности (одиночная обратимая инверсия текущего значения) в каждый вентиль проекта, моделируя при этом входные воздействия. Метрика сбоеустойчивости определяет вероятность возникновения комбинации входных данных и единичной ошибки на мультиплексоре, приводящей к возникновению ошибки на выходе схемы в базе ПЛИС [11].

В данной работе под сбоеустойчивостью схемы понимается степень её уязвимости к кратковременным ошибкам, которые возникают из-за одиночных обратимых сбоев (single event transient), источниками которых чаще всего служат попадания ионизирующих частиц.

Целью методов оценки сбоеустойчивости является получение полинома ошибки $F(p)$, который определяет вероятность возникновения такой комбинации входных сигналов и вектора ошибки, приводящей к некорректной работе схемы. Аргументом этого полинома является параметр P , обозначающий вероятность ошибки в одном мультиплексоре схемы, трактуемый как комбинация различных дестабилизирующих эффектов и источников помех, включая наземное космическое излучение, а также перекрестные и электромагнитные помехи. Следуя модели независимых вентиляльных сбоев в трактовке фон Неймана [12] будем считать, что все мультиплексоры имеют одинаковую независимую вероятность сбоя, в то время как количество ошибок в схеме не ограничено. Под ошибкой понимается инверсия сигнала на выходе вентиля. Таким образом, полином ошибки является характеристикой, отражающей способность схемы противостоять случайным сбоям её элементов.

Получим основные формулы для нахождения $F(p)$ при внесении сбоев в мультиплексоры.

$E_{тих}(\bar{X}, \bar{e}_{тих})$ обозначает характеристическую функцию набора пар векторов (входных сигналов \bar{X} и векторов ошибок $\bar{e}_{тих}$):

$$E_{тих}(\bar{X}, \bar{e}_{тих}) = \begin{cases} 1, & \text{если набор } (\bar{X}, \bar{e}_{тих}) \text{ приводит к ошибке} \\ 0, & \text{иначе} \end{cases} \quad (1)$$

Вывод формулы для расчета полинома ошибки в общем виде для произвольной логической схемы в базе ПЛИС.

Учитывая, что вероятность появления на входе конкретного вектора входных сигналов \bar{X} длины N (число входов в предположении равновероятности всех таких наборов) равна $\frac{1}{2^N}$, а вероятность возникновения вектора ошибки длины M и веса $|\bar{e}_{тих}|$ равна $p^{|\bar{e}_{тих}|}(1-p)^{M-|\bar{e}_{тих}|}$, получаем вероятность ошибки на выходе схемы (вес вектора равен количеству его ненулевых элементов):

$$F(p) = \frac{1}{2^N} \sum_{\bar{X}, \bar{e}_{тих}} E_{тих}(\bar{X}, \bar{e}_{тих}) p^{|\bar{e}_{тих}|} (1-p)^{M-|\bar{e}_{тих}|} \quad (2)$$

Суммирование ведется по всем входным комбинациям и всем комбинациям векторов ошибок, вес которых равен единице.

При малых значениях p в полиноме $F(p)$ вклад членов со степенью выше первой оказывается незначительным, что означает доминирование однократных ошибок. Этот факт позволяет считать только те вектора ошибок, вес которых равен единице. Аналитически формула (2) представляют собой линейный коэффициент функции вероятности ошибки на выходе схемы. Графически этот параметр представляет собой касательные к графику $F(p)$.

Анализируя формулы (1) и (2) можно сделать вывод, что обобщенный коэффициент логической устойчивости схемы представляет собой сумму наблюдаемостей вентилей $a_{тих} = \sum_{i_{тих} \in \Omega} o_{i_{тих}}$ и характеризует среднее число ненадежных мультиплексоров в схеме, т.е. тех элементов, ошибка в которых приводит к ошибке на выходе схемы (3).

$$a_{тих} = \frac{1}{2^N} \sum_{\bar{X}, \bar{e}_{тих}, |\bar{e}_{тих}|=1} E_{тих}(\bar{X}, \bar{e}_{тих}) \quad (3)$$

С. Описание используемых сбоеустойчивых ЛБ

Комбинационной частью ЛБ являются мультиплексоры [1]. Для упрощения восприятия на рис. 3 мультиплексоры представлены в виде схематичного изображения из трёх уровней мультиплексоров, соответствующих входам в ЛБ.

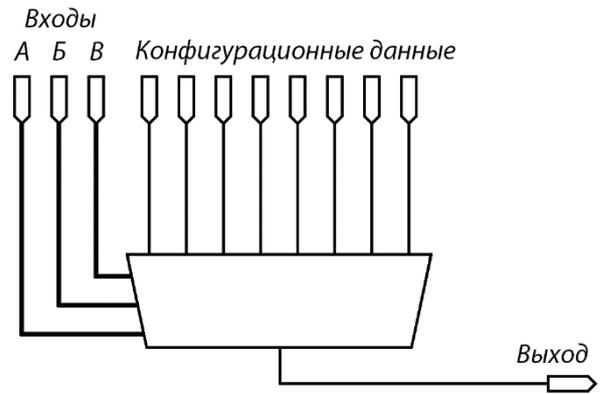


Рис. 3. Упрощенная структура ЛБ, «дерево» из мультиплексоров

Для защиты комбинационных схем от сбоев существует традиционный метод тройного модульного резервирования [2]. Такой подход может быть использован и в сбоеустойчивых ПЛИС [13].

На рис. 4 представлена упрощенная структура ЛБ с применением тройного модульного резервирования и добавлением голосующего элемента. При возникновении одиночной ошибки в любом из трех одинаковых модулей голосующий элемент позволит получить корректный результат. Ошибка на голосующем элементе приведёт к ошибке во всей ячейке ЛБ. Также возможно использование иных реализаций сбоеустойчивых ячеек ЛБ, в рамках маршрута на рис. 2.

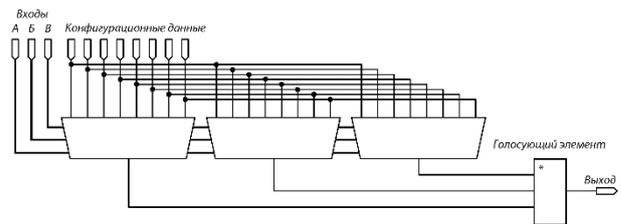


Рис. 4. Упрощенная структура ЛБ с применением тройного модульного резервирования

Д. Сбоеустойчивая ПЛИС

Для построения надежного проекта в базе ПЛИС достаточно разместить наиболее значимые узлы в сбоеустойчивых элементах. Таким образом, возможна аппаратная реализация регулярной структуры ПЛИС, использующая 25% процентов сбоеустойчивых элементов ЛБ и 75% типовых ячеек. Данная пропорция сохранялась и для аппаратного и программно-аппаратного подхода построения сбоеустойчивых проектов в экспериментальной части.

III. ЭКСПЕРИМЕНТАЛЬНАЯ ЧАСТЬ

Разработано автоматизированное программное обеспечение и эквивалентная модель аппаратной реализации ПЛИС, с возможностью синтеза в неё проекта комбинационной схемы и оценки надежности данного решения, позволяющее в рамках

предложенного маршрута (рис. 2) выполнить повышение сбоеустойчивости проекта комбинационной схемы в базе ПЛИС с использованием программно-аппаратных средств защиты. Программное решение выполняет поиск групп критических логических элементов, ошибка в которых наиболее вероятно повлияет на выходы проекта в базе ПЛИС.

В качестве методов повышения сбоеустойчивости используются аппаратные сбоеустойчивые элементы (группы голосующих элементов, группы ЛБ, локальные и глобальные межсоединения, а также блоки ввода-вывода), позволяющие, в зависимости от количества доступных сбоеустойчивых узлов ПЛИС, выполнять увеличение надежности проекта.

Ввиду ограниченного размера тестируемых схем их размещение в базе ПЛИС выполнялось только в сбоеустойчивых элементах, в автоматизированном режиме [14], так как большая часть ресурсов ПЛИС не была задействована в проекте [15]. Для демонстрации работы алгоритма был введён дополнительный коэффициент K_s , который позволял повышать надёжность только части проекта. В качестве эксперимента были выбраны пять значений коэффициента K_s , соответствующие проценту максимально доступной для использования в проекте избыточности (0, 25, 50, 75, 100). Коэффициент $K_s = 0$ соответствует проекту в базе ПЛИС без размещения в сбоеустойчивые элементы.

По результатам синтеза сбоеустойчивых проектов комбинационных бенчмарк-схем из набора ISCAS85 [16] в базе ПЛИС с использованием встроенных аппаратных средств повышения сбоеустойчивости было получено по пять проектов для каждой исходной схемы для минимизации встроенной избыточности.

В ходе экспериментальной работы для каждого проекта был выполнен расчет коэффициента чувствительности с учётом межсоединений и блоков ввода-вывода [17] (рис. 5, табл. 1), а также определение количества используемых вентилях в проекте (табл. 2).

Таблица 1

Результаты расчета коэффициента чувствительности для бенчмарк-схем из набора ISCAS85 (программно-аппаратный подход)

Коэффициент чувствительности					
	$K_s=0\%$	$K_s=25\%$	$K_s=50\%$	$K_s=75\%$	$K_s=100\%$
c17	28,94	23,15	19,15	15,14	13,76
con1	45,40	31,59	25,28	16,58	14,28
misex1	80,00	52,24	33,15	19,52	14,10
rd53	41,50	26,79	17,47	6,53	3,57
z4ml_synth	28,79	18,91	11,76	5,24	3,80

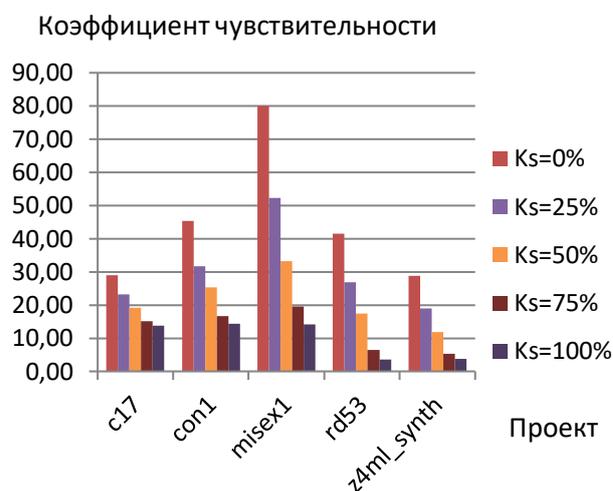


Рис. 5. Коэффициент чувствительности для комбинационной схемы в базе сбоеустойчивой ПЛИС с учётом межсоединений и блоков ввода-вывода для различных значений K_s (0, 25, 50, 75, 100)

Таблица 2

Количество элементов для бенчмарк-схем из набора ISCAS85 для различных вариантов встроенной избыточности (программно-аппаратный подход)

Количество элементов					
	$K_s=0\%$	$K_s=25\%$	$K_s=50\%$	$K_s=75\%$	$K_s=100\%$
c17	130	233	370	645	1195
con1	162	289	460	801	1483
misex1	1096	1952	3095	5379	9949
rd53	512	981	1525	2591	4645
z4ml_synth	280	501	796	1387	2569

IV. ЗАКЛЮЧЕНИЕ

Использование программно-аппаратных подходов повышения сбоеустойчивости позволяет уменьшить встроенную избыточность при сопоставимом уровне надежности. Использование маршрута проектирования сбоеустойчивых проектов комбинационных схем в базе ПЛИС с учётом межсоединений и блоков ввода-вывода позволяет реализовывать проекты для различных архитектур ПЛИС, а также с использованием различного количества сбоеустойчивых элементов, имеющих различные варианты логического маскирования.

Подробно описан метод оценки сбоеустойчивости комбинационных схем в базе ПЛИС, обоснован выбор коэффициента чувствительности схемы к одиночным ошибкам в качестве базовой метрики сбоеустойчивости комбинационных схем в базе ПЛИС.

Защита критических логических элементов, ошибка в которых наиболее вероятно повлияет на выходы проекта в базе ПЛИС, является эффективным средством минимизации избыточности.

ЛИТЕРАТУРА

- [1] Тельпухов Д. В., Рухлов В. С., Рухлов И. С. (2016) Исследование и разработка методов оценки сбоеустойчивости комбинационных схем, реализованных в базе ПЛИС // Инженерный вестник Дона, №1, URL: <http://www.ivdon.ru/ru/magazine/archive/n1y2016/3504> (дата обращения: 03.04.2020).
- [2] R. E. Lyons and W. Vanderkulk. "The use of triple modular redundancy to improve computer reliability." IBM J. Res. Dev., 6(2):200–209, Apr. 1962.
- [3] J. Cong, K. Minkovich LUT-Based FPGA Technology Mapping for Reliability // DAC '10 Proceedings of the 47th Design Automation Conference, Pages 517–522, 2010.
- [4] Yu Hu, Zhe Feng, Lei He, Rupak Majumdar Robust FPGA Resynthesis Based on Fault-Tolerant Boolean Matching // IEEE/ACM International Conference on Computer-Aided Design, 2008.
- [5] Actel (2005) "Radiation-Hardened FPGAs" URL: https://www.microsemi.com/document-portal/doc_view/130710-radiation-hardened-fpgas-datasheet (дата обращения: 03.04.2020).
- [6] ALTERA (2009, Nov.) "CRC Compiler User Guide" URL: https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_crc.pdf (дата обращения: 03.04.2020).
- [7] J. Greene, E. Hamdy, S. Beal Antifuse field programmable gate arrays // Proceedings of the IEEE, 1993, URL: <https://ieeexplore.ieee.org/abstract/document/231343> (дата обращения: 03.04.2020).
- [8] XILINX(2012, Mar) "Radiation-hardened, space-grade Virtex-5QV device overview." URL: https://www.xilinx.com/support/documentation/data_sheets/ds192_V5QV_Device_Overview.pdf (дата обращения: 03.04.2020).
- [9] Carl Carmichael (2006) Triple Module Redundancy Design Techniques for Virtex FPGAs // Xilinx URL: www.xilinx.com/support/documentation/application_notes/happ197.pdf (дата обращения: 03.04.2020).
- [10] Тельпухов Д. В., Рухлов В. С., Сташевский А. Н., Адамов Ю.Ф. Исследование метода инъектирования ошибок в задаче оценки сбоеустойчивости логических схем в базе ПЛИС // ЭЛЕКТРОННАЯ ТЕХНИКА. Серия 3: МИКРОЭЛЕКТРОНИКА. 2017. №4(168). с. 62–67.
- [11] A. Stempkovskiy, D. Tel'pukhov, R.Solovyev, E. Balaka, L. Naviner Practical Metrics for Evaluation of Fault-Tolerant Logic Design // IEEE Russia section young researchers in electrical and electronic engineering conference (2017 ELCONRUS), 2017.
- [12] J. von Neumann, "Probabilistic logics and the synthesis of reliable organisms from unreliable components," // Automata Studies, C. E. Shannon and J. McCarthy, Eds. Princeton, NJ: Princeton Univ. Press, 1956, pp. 43–98.
- [13] Тельпухов Д. В., Рухлов В. С., Иванова Г.А., Рыжова Д.И., Надоленко В.В., Деменова А.И. Исследование вариантов частичного резервирования при проектировании сбоеустойчивых логических блоков ПЛИС // Инженерный вестник Дона, 2018, №1, URL: <http://www.ivdon.ru/ru/magazine/archive/n1y2018/4681> (дата обращения: 03.04.2020).
- [14] Gavrilov S.V., Zheleznikov D.A., Chochaev R.Z. Simulated Annealing Based Placement Optimization for Reconfigurable Systems-on-Chip // 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), Moscow, 2019 pp. 1597–1600.
- [15] Gavrilov S. V., Zheleznikov D. A., Khvatov V. M. Solving the Problems of Routing Interconnects with a Resynthesis for Reconfigurable Systems on a Chip // Russian Microelectronics, 2018, Vol. 47, No. 7, pp. 516–521.
- [16] URL: http://icdm.ippm.ru/w/Схемы_ISCAS85 (дата обращения: 03.04.2020).
- [17] Рухлов В.С., Кустов А.Г., Михмель А.С., Исаева Т.Ю. Вычисление эффекта влияния трассировочных элементов на надежность проекта в базе программируемых логических интегральных схем // Инженерный вестник Дона, 2018, №4, URL: <http://ivdon.ru/ru/magazine/archive/n4y2018/5419> (дата обращения: 03.04.2020).

Hardware and Software Solutions to Increase the Reliability of Combinational Logic in the FPGA Basis without Taking into Account Interconnections and the I/O Blocks

V.S. Rukhlov, R. A. Solovyev, A. G. Custov

Institute for Design Problems in Microelectronics of RAS, Moscow, vladimir.rukhlov@ippm.ru

Abstract — A usage, development, optimization and improvement of the FPGA reliability are an important areas of digital circuit design. The introduction of many complex IP-blocks, improving the regular structure of programmable devices and the software component, offer flexible opportunities for developers, allowing the use of devices not only for prototyping, but also as part of commercial devices. It is possible to use fault-tolerant FPGA in special-purpose equipment, in particular in the field of astronautics, avionics, control of nuclear power plants and other critical industrial facilities. Designing fault-tolerant FPGAs is an acute problem

and does not have a universal solution, due to the significant redundancy laid down by manufacturers for applying traditional approaches to increasing reliability, as well as the limited number of products of this reliability class that are available on the market.

This article proposes software and hardware solutions to increase the fault tolerance of combinational circuits in the basis of programmable logic integrated circuits (PLD), which can also be used for user-programmable gate arrays (FPGAs). For this, a software solution is implemented that searches for

critical logic elements an error in which will most likely affect the project outputs in the FPGA basis. The method for calculating the sensitivity coefficient of combinational logic in the FPGA basis is adapted for elements of local and global routings activated in the project, as well as other used elements. A method for evaluating the fault tolerance of combinational logics in the FPGA basis is described, and the choice of the sensitivity coefficient of the circuit to single errors as the base technology-independent metric of the fault tolerance of combinational circuits in the FPGA basis is justified.

Options for minimizing the built-in redundancy of fault-tolerant FPGA elements are proposed.

Experimental work was carried out on the formation of fault-tolerant designs of combinational circuits in the basis of fault-tolerant FPGAs.

Keywords — combinational logic; field-programmable gate array (FPGA); programmable logic integrated circuits; a lookup table (LUT); logical synthesis; increased fault tolerance; computer-aided design (CAD); error injection; short-term single failures; FPGA interconnects, I / O blocks, local FPGA buses, global FPGA buses.

REFERENCES

- [1] Tel'pukhov D. V., Rukhlov V. S., Rukhlov I. S. (2016) Research and development of methods for creating model for combinational circuit implementation in FPGA basis // *Engineering journal of Don*, №1, URL: <http://www.ivdon.ru/en/magazine/archive/n1y2016/3504> (access date: 03.04.2020).
- [2] R. E. Lyons and W. Vanderkulk. "The use of triple modular redundancy to improve computer reliability." *IBM J. Res. Dev.*, 6(2):200–209, Apr. 1962.
- [3] J. Cong, K. Minkovich LUT-Based FPGA Technology Mapping for Reliability // *DAC '10 Proceedings of the 47th Design Automation Conference*, Pages 517-522, 2010.
- [4] Yu Hu, Zhe Feng, Lei He, Rupak Majumdar Robust FPGA Resynthesis Based on Fault-Tolerant Boolean Matching // *IEEE/ACM International Conference on CAD*, 2008.
- [5] Actel (2005) "Radiation-Hardened FPGAs", URL: https://www.microsemi.com/document-portal/doc_view/130710-radiation-hardened-fpgas-datasheet (access date: 03.04.2020).
- [6] ALTERA (2009, Nov.) "CRC Compiler User Guide", URL: https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ug_crc.pdf (access date: 03.04.2020).
- [7] J. Greene, E. Hamdy, S. Beal Antifuse field programmable gate arrays // *Proceedings of the IEEE*, 1993, URL: <https://ieeexplore.ieee.org/abstract/document/231343> (access date: 03.04.2020).
- [8] XILINX (2012, Mar) "Radiation-hardened, space-grade Virtex-5QV device overview.", URL: https://www.xilinx.com/support/documentation/data_sheets/ds192_V5QV_Device_Overview.pdf (access date: 03.04.2020).
- [9] Carl Carmichael (2006) Triple Module Redundancy Design Techniques for Virtex FPGAs // Xilinx, URL: www.xilinx.com/support/documentation/application_notes/xapp197.pdf (access date: 03.04.2020).
- [10] Tel'pukhov D. V., Rukhlov V. S., Stashevskii A. N., Adamov Yu. F. The research method of injecting errors in the problem of assessing the failure tolerance of the logic circuits in the basis of FPGA // *Electronic engineering. Series 3. Microelectronics*, №4(168), 2017, p.62.
- [11] A. Stempkovskiy, D. Tel'pukhov, R. Solovyev, E. Balaka, L. Naviner Practical Metrics for Evaluation of Fault-Tolerant Logic Design // *IEEE Russia section young researchers in electrical and electronic engineering conference (2017 ELCONRUS)*, 2017.
- [12] J. von Neumann, "Probabilistic logics and the synthesis of reliable organisms from unreliable components," in *Automata Studies*, C. E. Shannon and J. McCarthy, Eds. Princeton, NJ: Princeton Univ. Press, 1956, pp. 43–98.
- [13] Tel'pukhov D. V., Rukhlov V. S., Ivanova G.A., Ryzhova D.I., Nadolenko V.V., Demeneva A.I. (2018) Investigation of partial backup options in the design of fault-tolerant logic blocks in FPGAs // *Engineering journal of Don*, №1, URL: <http://www.ivdon.ru/en/magazine/archive/n1y2018/4681> (access date: 03.04.2020).
- [14] Gavrilov S.V., Zheleznikov D.A., Chochev R.Z. Simulated Annealing Based Placement Optimization for Reconfigurable Systems-on-Chip // *2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*, Moscow, 2019 pp. 1597-1600.
- [15] Gavrilov S. V., Zheleznikov D. A., Khvatov V. M. Solving the Problems of Routing Interconnects with a Resynthesis for Reconfigurable Systems on a Chip // *Russian Microelectronics*, 2018, Vol. 47, No. 7, pp. 516–521.
- [16] URL: http://icdm.ippm.ru/w/Схемы_ISCAS85 (access date: 03.04.2020).
- [17] Rukhlov V.S., Kustov A.G., Mikhmel A.S., Isaeva T.Yu. (2018) Evaluation of the effect of the trace elements on the reliability of the project in the field-programmable gate array basis // *Engineering journal of Don*, №4, URL: <http://ivdon.ru/en/magazine/archive/n4y2018/5419> (access date: 03.04.2020).