

Оптимизация параметров микросхемы без изменения логического описания при технологических нормах 28нм

А.О. Власов

Научный Исследовательский Институт Системных Исследований РАН, Москва,

vlaalex@cs.niisi.ras.ru

Аннотация — В данной статье рассматривается оптимальное использование в маршруте проектирования библиотечных элементов, разработанных по технологическим нормам 28нм. Были проанализированы такие параметры, как быстродействие и статическая мощность, доступных для проектирования библиотек стандартных ячеек и блоков памяти. Данный аспект рассмотрен в контексте подходов к оптимизации параметров блоков микросхемы без изменения их логического описания (RTL).

Ключевые слова — TSMC 28нм, библиотеки стандартных ячеек, компиляторы блоков памяти, снижение мощности токов утечки, оптимизация быстродействия.

I. ВВЕДЕНИЕ

В проектируемых по технологическим нормам 28нм микросхемах мощность токов утечек стала таким же критичным параметром, как и быстродействие. Наиболее эффективным средством снижения данного эффекта является отключение питания неактивных блоков ИС. Однако данный подход требует изменения исходной логической структуры проекта и дополнительных усилий на всех этапах проектирования [1]. Другие подходы основаны на подборе наиболее приемлемого для конкретного проекта набора технологических библиотек и последующим эффективным использованием их элементов при проектировании и настройке параметров САПР. Данные методы обладают одним очень важным достоинством: все процессы оптимизации становятся этапами общего маршрута проектирования и не зависят от входного логического RTL-описания микросхемы.

В НИИСИ РАН ведутся работы по разработке первого проекта для технологических норм 28нм (*П28*), являющимся развитием процессора *КОМДИВ64*. В данном проекте микропроцессорное ядро *CPU* является наиболее критичным по быстродействию и потребляемой мощности. На его примере в данной статье показаны подходы, позволяющие осуществить:

- 1) Выбор для проектирования оптимальных библиотек стандартных ячеек.
- 2) Оптимизация проекта с использованием

нескольких библиотек стандартных ячеек.

3) Выбор параметров памяти для достижения целей проектирования.

4) Эффективное использование выбранного набора библиотечных элементов для достижения эффективного компромисса между такими параметрами микропроцессорного ядра *CPU*, как мощность токов утечки и быстродействие.

Для проектных норм 28нм характерно значительное увеличение в худших условиях статической мощности до 50% от общей потребляемой мощности [1]. Кроме того, в стремлении получить максимальное быстродействие, использование для проектирования формально более быстрых библиотечных элементов приводит к критическому увеличению параметра статической мощности. Также было рассмотрено влияние применения отдельных опций на стоимость изготовления микросхемы. Ожидается, что использование описанных ниже методов позволит эффективно затрачивать имеющиеся ресурсы для достижения параметров технического задания.

Проектирование проводилось с использованием САПР Design Compiler (Synopsys) и SOC Encounter (Cadence).

II. ВЫБОР ОПТИМАЛЬНОГО ДЛЯ ПРОЕКТИРОВАНИЯ НАБОРА СТАНДАРТНЫХ ЯЧЕЕК

Для проектирования была доступна библиотека стандартных ячеек *SC7T*, разработанная в рамках технологического процесса *TSMC 28HPC*. На момент написания данной работы, это была единственная доступная НИИСИ РАН для свободного скачивания библиотека стандартных ячеек по данной технологии. Высота всех ее элементов составляет 7 треклов металлизации. Как и в других субмикронных библиотеках, каждый элемент имеет три варианта реализации в зависимости от используемых транзисторов:

- 1) *RVT* вариант, сконструированный на базе транзисторов со стандартным значением порогового напряжения.
- 2) *LVT* вариант с пониженным значением порогового напряжения, имеющий максимальное быстродействие. Для его реализации нужен дополнительный набор

фотошаблонов, что увеличивает стоимость производства микросхемы.

3) **HVT** вариант с повышенным значением порогового напряжения, обладающий минимальными значениями мощности токов утечки. Для его реализации также нужен дополнительный набор фотошаблонов.

Кроме этого, технологический процесс 28нм предоставляет дополнительную опцию, влияющую на быстродействие и токи утечки, – выбор длины каналов транзисторов: 30нм, 35нм и 40нм (**L30**, **L35**, **L40**). Таким образом, количество реализаций каждой ячейки увеличивается до девяти: для каждого варианта с заданной длиной канала есть три реализации на транзисторах с разным значением порогового напряжения.

Рассмотрим влияния описанных выше опций на параметры быстродействия и статической мощности на примере блока *int_mult_div* микропроцессорного ядра **CPU**. Данный блок подходит для оценки, т.к. в нем отсутствуют макроблоки, и его логическая структура достаточно неоднородна, что позволяет задействовать все возможные для логического синтеза ячейки рассматриваемых библиотек. Блок синтезировался в Design Compiler [2], а затем в SOC Encounter[3] были выполнены топологическое размещение и оптимизация. В качестве базовой реализации данного блока, на соответствующие значения параметров которой будут в дальнейшем нормироваться результаты, был выбран вариант, сделанный на базе транзисторов с каналом средней длины (**L35**) и со стандартным значением порогового напряжения (**RVT**). Результаты сравнения представлены в таблицах 1 и 2.

Таблица 1

Относительное изменение быстродействия блока *int_mult_div*

Freq	L30	L35	L40
LVT	1,54	1,32	1,06
RVT	1,06	1,00	0,89
HVT	0,77	0,71	0,63

Таблица 2

Относительное изменение статической мощности блока *int_mult_div*

P _{leak}	L30	L35	L40
LVT	10,05	3,99	1,94
RVT	2,21	1,00	0,50
HVT	0,47	0,24	0,15

Из таблицы 1 видно, что в зависимости от используемых при проектировании библиотечных элементов быстродействие реализаций схемы

относительно базового варианта может меняться до 37% в сторону уменьшения и до 54% в сторону увеличения. При этом, как показано в таблице 2, статическая мощность изменяется относительно референсного значения в диапазоне от -85% до +900%. Данные обстоятельства демонстрируют широкие возможности компромисса проектирования между быстродействием и мощностью токов утечки: улучшение одного из этих параметров в одной библиотеке сопровождается ухудшением другого.

Суммируя, можно сделать ряд важных выводов для данного блока и рассматриваемого комплекта библиотек:

1) параметры разных библиотек даже для одной технологии существенно различаются. Выбор библиотеки должен зависеть от технического задания всего проекта.

2) Выбор длины каналов транзисторов элементов сильнее влияет на изменение статической мощности, чем на быстродействие. На примере библиотек **RVT** видно, что при реализации блока на элементах **L30** быстродействие увеличивается на 6% относительно референсного варианта, однако статическая мощность возрастает более чем в 2 раза (+121%). При использовании **L40 RVT** ячеек ситуация, противоположная: статическая мощность сокращается в 2 раза, а быстродействие ухудшается лишь на 11%.

3) Аналогичные предыдущему пункту выводы можно также сделать относительно **LVT** и **HVT** библиотек. Однако влияние этих опций сильнее: быстродействие изменяется, примерно, в рамках ±40%, тогда как статическая мощность в **LVT** случае увеличивается относительно базового значения (**L35 RVT**) в 4 раза, а для **HVT** варианта сокращается в 4 раза. Стоит также учитывать, что, как уже было сказано выше, реализация транзисторов с разным значением порогового напряжения требует изготовление дополнительных фотошаблонов. Данное обстоятельство увеличивает стоимость изготовления микросхемы, что влияет на решение о целесообразности применения данных опций.

4) Библиотеки дают ожидаемые результаты, если используются в проектах, где их преимущества приоритетно востребованы. В некритичных по быстродействию проектах выбор для проектирования, например, библиотеки **L40 HVT** позволяет сократить статическую мощность на 85%, тогда как для улучшения быстродействия более подходят элементы библиотек с опциями **LVT** и **L30**.

5) Реализация пробного блока на ячейках позволяет оценить эффективность использования библиотек в контексте конкретного проекта.

III. ИСПОЛЬЗОВАНИЕ НЕСКОЛЬКИХ БИБЛИОТЕК СТАНДАРТНЫХ ЯЧЕЕК ДЛЯ ОПТИМИЗАЦИИ СТАТИЧЕСКОЙ МОЩНОСТИ

Как было показано в предыдущем параграфе, в зависимости от используемой библиотеки параметры блока будут изменяться в пользу быстродействия или

статической мощности. Однако, если использовать при проектировании несколько библиотек, то результат будет не столь однозначным: «сильные» стороны одной из библиотек могут нивелировать «слабые» другой. Как было рассмотрено в [4] и [5], используя дополнительные оптимизации блока можно добиться того, что более быстрые стандартные ячейки будут использоваться в критичных по быстродействию цепях, а медленные, но более экономичные по мощности, в некритичных местах. Таким образом, появляется возможность получать имплементации блоков с промежуточными относительно реализаций на одной конкретной библиотеке значениями параметров. На примере рассмотренного ранее блока *int_mult_div* рассмотрим несколько подходов такой оптимизации статической мощности и быстродействия. Исходным вариантом, параметры которого будут использоваться для нормировки, будет реализация *int_mult_div* на *RVT L35* стандартных библиотечных ячейках. Это даст возможность легко сравнить полученные результаты с данными из предыдущего параграфа.

Учитывая выше сказанное, для сравнения вариантов реализации *int_mult_div* будут рассмотрены следующие подходы оптимизации исходного проекта на *RVT L35* ячейках :

- 1) Оптимизация стандартными ячейками из библиотек *RVT L30* и *RVT L40*. Данный вариант характерен оптимальным компромиссом между статической мощностью и быстродействием без применения транзисторов с разным значением порогового напряжения.
- 2) Оптимизация стандартными ячейками из библиотек *RVT L30* и *HVT L40*. Этот подход отражает максимальное снижение мощности токов утечки с компенсацией потери быстродействия.
- 3) Оптимизация исходного варианта стандартными ячейками из библиотек *LVT L30* и *HVT L40*, т.е. самыми быстрыми вместе с самыми экономичными по параметру статической мощности элементами.

Оптимизации с большим количеством библиотек не рассматриваются из-за падения эффективности работы САПР при увеличении количества входных данных.

Таблица 3

Сравнение относительного изменения параметров вариантов реализации *int_mult_div*.

	RVT_L30 RVT_L40	RVT_L30 HVT_L40	LVT_L30 HVT_L40
Freq	1,08	1,03	1,36
P_{leak}	0,86	0,74	3,52
L30	19,4%	17,1%	30,8%
L35	10,1%	30,5%	43,3%
L40	70,5%	52,4%	25,9%

Полученные результаты позволяют сделать следующие заключения:

- 1) оптимизация исходного варианта ячейками из библиотек *RVT L30* и *RVT L40* дала выигрыш и по статической мощности, и по быстродействию. Хотя сокращение по потреблению, связанного с токами утечки, не составило 50%, как в таблице 2 для *RVT L40* варианта, однако быстродействие стало на уровне *RVT L30* реализации.
- 2) Как и ожидалось, оптимизация ячейками *RVT L30* и *HVT L40* максимально снизила статическую мощность, но при этом увеличила быстродействие.
- 3) Использование *LVT L30* элементов дало большой прирост статической мощности блока. Однако, благодаря тому, что при оптимизации использовались также и *HVT L40* элементы, увеличение статической мощности произошло не в 10 раз, как в случае *LVT L30* варианта (см. таблицу 3), а, примерно, в 3,5 раза. Быстродействие же сравнимо со значениями *LVT L30* реализации в таблице 2.

Обобщая вышесказанное, можно сделать вывод, что для кардинального изменения параметров быстродействия или статической мощности рекомендуется использовать *LVT* или *HVT* элементы, соответственно. Использование при оптимизации только ячеек на базе транзисторов с разной длиной канала дает значительно меньший эффект на значения параметров, чем опция разных пороговых напряжений.

Стоит также отметить, что в данном параграфе были рассмотрены лишь наиболее показательные с точки зрения оптимизационного компромисса быстродействие/статическая мощность варианты: оптимизация ячейками из *RVT L30*, *L40*, снижение статической мощности в некритичных путях *HVT* элементами, совместное применение *LVT* и *HVT* ячеек.

Учитывая вышесказанное, рассмотренные подходы будут применены в дальнейшем при оптимизации всего микропроцессорного ядра *CPU* проектируемой микросхемы *P28* серии *КОМДИВ64*.

IV. ВЫБОР КОМПЛЕКТА БЛОКОВ ПАМЯТИ

Настройка параметров компилятора блоков памяти (*БП*) так же, как и подбор библиотеки стандартных ячеек, влияет на конечное качество всего проекта. Если больше 50% площади микросхемы, как в *P28*, составляют *БП*, то параметры используемых блоков памяти становятся определяющими для всего проекта. В ситуациях, когда большая часть площади блока занята стандартными ячейками, влияние параметров *БП* является не столь однозначным и зависит от того, находятся ли *БП* в критичных путях или нет. В зависимости от настроечных параметров компилятора меняется способ организации *БП*, схемотехническая реализация отдельных элементов, список доступных опций. В конечном счете это влияет на такие параметры, как быстродействие, геометрические размеры, потребляемая мощность.

Для проектирования *P28* был доступен компилятор, позволяющий реализовывать блоки памяти, используя транзисторы с разным значением порогового напряжения. В дальнейшем они будут обозначаться в тексте как *RVT*, *LVT* и *HVT БП*. Также как и в случае с элементами библиотек стандартных ячеек, те блоки памяти, в компиляции которых использовались *HVT* транзисторы, будут более медленными относительно *RVT* аналога, но и статическая мощность у них будет меньше. Для *LVT БП* ситуация, соответственно, будет обратная: большая производительность, но и токи утечки тоже больше, чем у *RVT БП*. Таким образом, возникает необходимость провести сравнение параметров вариантов компиляции *БП*, используемых в рассматриваемом микропроцессорном ядре. Для всех рассматриваемых *БП* были подобраны такие значения настроек компилятора, которые обеспечивают максимально возможное быстродействие каждого блока и одинаковые выходные токовые характеристики у всех. Результаты сопоставления *БП* по быстродействию и статической мощности представлены в таблице 4:

Таблица 4

Сравнение быстродействия и статической мощности *LVT* и *HVT БП CPU*. Относительное изменение параметров *БП*

Memory	HVT		LVT	
	Freq	P _{leak}	Freq	P _{leak}
dp128x11_rf	0,81	0,27	1,16	3,33
dp128x15_rf	0,81	0,30	1,16	3,27
dp128x24_rf	0,81	0,31	1,14	3,17
dp128x32_rf	0,81	0,35	1,15	3,12
dp128x6_rf	0,81	0,26	1,19	3,41
dp256x24_rf	0,87	0,45	1,14	2,86
dp256x32_rf	0,83	0,48	1,19	2,78
dp512x24_rf	0,87	0,55	1,13	2,43
sp128x32_ram	0,89	0,30	1,15	3,35
sp1Kx128_ram	0,92	0,53	1,11	2,54
sp1Kx32_ram	0,88	0,43	1,10	2,95
sp256x16_rf	0,86	0,28	1,15	3,00
sp256x64_ram	0,86	0,37	1,15	3,12
sp256x68_ram	0,86	0,38	1,15	3,10
<i>Average</i>	0,85	0,38	1,15	3,03

Анализируя полученные данные из таблицы 4, можно отметить, что варианты блоков памяти по параметру статической мощности различаются гораздо

сильнее, чем по быстродействию. При рассмотрении ситуации в среднем складывается следующее: при изменении максимальной частоты работы (*Freq*) на $\pm 15\%$, статическая мощность токов утечки (P_{leak}) *HVT БП* составляет лишь 38% процентов от *RVT* аналога, а у *LVT* варианта – 303%. Учитывая вышесказанное, можно сделать следующие выводы:

- 1) при проектировании имеет смысл в основном использовать *HVT* компиляцию блоков памяти. Несмотря на незначительное падение быстродействия, выигрыш по статической мощности значителен.
- 2) Если же есть группа блоков памяти, где в цепях, связанных с ними, производительность критична, то возможно использование *RVT* аналогов.
- 3) Только в единичных, особо критичных случаях оправдано применение *LVT БП*. Например, как можно видеть в таблице 4, наиболее «безопасными» в этом контексте являются *БП dp256x32_rf* и *dp512x24_rf*, имеющие минимальный прирост по статической мощности.

При выборе типа *БП* стоит также учитывать их вклад в площадь всего блока. Небольшие одиночные *БП* при замене на более быстрые аналоги дадут малый прирост параметра мощности токов утечки для всего блока.

В следующем параграфе, используя полученные сведения о библиотечных элементах, будет представлена оптимизация частоты функционирования и статической мощности самого критичного по быстродействию блока *P28* – микропроцессорного ядра *CPU*.

V. ОПТИМАЛЬНОЕ ИСПОЛЬЗОВАНИЕ НАБОРОВ БИБЛИОТЕЧНЫХ ЭЛЕМЕНТОВ ПРИ ПРОЕКТИРОВАНИИ *CPU*

Как было установлено выше, для улучшения временных характеристик целесообразно использовать элементы, содержащие *LVT* и/или с укороченной длиной канала транзисторы. Однако выигрыш по производительности, который будет получен при их применении, значительно меньше, чем проигрыш по статической мощности. Соответственно, такие элементы оптимально использовать в наиболее критичных по быстродействию цепях. С другой стороны, в некритичных по временной задержке путях имеет смысл использовать блоки, спроектированные на *HVT* транзисторах, а также *L40* библиотечные ячейки. Таким образом, для достижения эффективного компромисса между быстродействием и статической мощностью, необходимо достигнуть оптимального содержания *RVT*, *LVT* и *HVT* библиотечных элементов с опциями реализаций на транзисторах с разной длиной канала (*L30*, *L35*, *L40*).

Отдельно стоит обратить внимание на такой вопрос, как вычислительные ресурсы. Казалось бы, достаточно подгрузить все возможные библиотеки и предоставить САПР самому выбирать подходящие элементы для проектирования, чтобы получить оптимальный результат. Однако в реальности множество загруженных библиотечных данных

занимает много оперативной памяти и затрудняет программе САПР эффективно искать наиболее оптимальную реализацию проектируемого блока. Кроме того, при топологическом проектировании возникает потребность с самого начала проектировать микросхему с учетом анализа в разных технологических углах и режимах функционирования. При этих условиях каждая дополнительная библиотека – это загрузка оперативной памяти и увеличение времени работы САПР.

В качестве базовой реализации *CPU*, которая затем использовалась для оптимизаций, был взят вариант, спроектированный на *RVT L35* стандартных ячейках и содержащий *RVT БП*.

Учитывая вышесказанное для сравнения вариантов реализации *CPU* будут рассмотрены следующие подходы оптимизации:

- 1) Сохранение в исходном проекте *RVT БП* и его оптимизация стандартными ячейками из библиотек *RVT L30* и *RVT L40*. Данный вариант характерен оптимальным компромиссом между статической мощностью и быстродействием без применения транзисторов с разным значением порогового напряжения.
- 2) Замена *RVT БП* на *HVT БП* и последующая оптимизация быстродействия *CPU*. Применение данного подхода проиллюстрирует способность САПР-программ за счёт временной оптимизации комбинационной логики компенсировать падение быстродействия, связанного с *БП*, с заменой всех *RVT БП* на *HVT* аналоги на уровне RTL.
- 3) Замена *RVT БП* на *HVT БП* и оптимизация стандартными ячейками из библиотек *RVT L30* и *HVT L40*. Эта реализация отражает максимальное снижение мощности токов утечки с компенсацией потери быстродействия.
- 4) Замена *RVT БП* на *HVT БП* и оптимизация стандартными ячейками из библиотек *LVT L30* и *HVT L40*. Полноценное использование таких опций, как мультипороговые транзисторы и вариация длины канала библиотек проектирования.

При проектировании всех вариантов статическая мощность оптимизировалась с учетом быстродействия. Стоит отметить, что варианты реализаций с использованием *LVT БП* не были рассмотрены из-за очевидного существенного проигрыша по статической мощности. Также не были рассмотрены варианты с большим количеством библиотек по причинам, описанным выше в этой главе.

Полученные значения параметров вариантов реализаций *CPU* были нормированы на аналогичные величины для базового варианта *RVT БП* и *RVT L35*. Полученные данные представлены в таблице 5:

Сравнение относительного изменения параметров вариантов реализации *CPU*.

	RVT L30 L40 RVT mem	RVT L35 HVT mem	RVT L30 HVT L40 HVT mem	LVT L30 HVT L40 HVT mem
Freq	0,93	0,82	0,84	0,89
P_{leak}	0,89	0,25	0,14	0,32
L30	1,8%	0%	3,4%	8,2%
L35	0,7%	100%	23,5%	15,8%
L40	97,5%	0%	73,1%	76,0%

Из полученных результатов можно сделать следующие выводы:

- 1) Оптимизация с использованием библиотек с вариацией длины канала транзисторов элементов снизила на 11% статическую мощность, но и уменьшила быстродействие. В контексте *CPU* данный подход малоэффективен.
- 2) Замена в базовой реализации *CPU* всех *RVT БП* на *HVT БП* снизила значение параметра статической мощности в 4 раза при снижении быстродействия на 18%.
- 3) Оптимизация варианта *RVT L35 HVT БП* ячейками *RVT L30* и *HVT L40* позволила дополнительно снизить статическую мощность до 14% от значения для базового варианта с небольшим повышением быстродействия.
- 4) Полноценное использование мультипороговых транзисторов позволило снизить падение быстродействия, связанного с использованием *HVT БП*, и статическую мощность. Учитывая дополнительные финансовые затраты связанные с этими опциями для *CPU*, данный подход применим для случаев, где быстродействие критично.

Таким образом, подход *HVT БП*, *RVT L30* и *HVT L40* наиболее эффективен для снижения статической мощности микропроцессорного ядра.

VI. ЗАКЛЮЧЕНИЕ

В данной статье была рассмотрена взаимосвязь быстродействия и статической мощности с транзисторными опциями технологии *TSMC 28HPC*. Данный вопрос был рассмотрен в контексте библиотек стандартных ячеек и компилируемых блоков памяти. Было установлено, что все опции сильнее влияют на параметр статической мощности, чем на быстродействие. С учетом полученных результатов на примере микропроцессорного ядра *CPU* разрабатываемой микросхемы серии *КОМДИВ64* был рассмотрен ряд подходов по снижению мощности

токов утечки с минимизацией потерь по быстродействию. Найденный набор библиотечных данных позволил снизить более чем в 7 раз статическую мощность с потерей производительности на 16%.

ЛИТЕРАТУРА

- [1] Low Power Methodology Manual For System-on-Chip Design. Synopsys, Inc. and ARM limited 2007.
- [2] Design Compiler® User Guide Version E-2010.12, Synopsys, December 2010.
- [3] Encounter Digital Implementation System User Guide. Product Version 9.1.3. Copyright 2010, Cadence Design Systems, Inc.

28nm IC's Parameters Optimization without RTL Changing

A.O. Vlasov

Scientific Research Institute of System Analysis, RAS, vlaalex@cs.niisi.ras.ru

Keywords — TSMC 28HPC, synthesis, standard cell libraries, memory compilers, leakage current power reduction, performance optimization.

ABSTRACT

In 28nm technology designs static power of leakage currents is as critical as time performance. The most effective way to reduce this effect is to disable the power supplies in inactive blocks. However, this feature implementation requires project's RTL changing and additional efforts through all stages at every stage of the design flow. This article describes the solution, based on the selection of the most appropriate set of technology libraries for a particular project, subsequently using their elements in the design with tuning EDA parameters. The method has one very important advantage: all optimization steps may be implemented in the original design flow and doesn't depend on the input logic RTL circuit description.

Using as the example the KOMDIV64 series microprocessor core *CPU*, the implementation solutions are studied:

- 5) Selection of standard cell libraries for the design optimization. Influence of TSMC 28HPC 7-track library options on the parameters of the static power and the performance was studied. The static power and speed of *CPU* implementations, based on *LVT*, *RVT*, *HVT* and the multi length option libraries, were compared.
- 6) Optimization of the project with using several standard cell libraries. The optimization allows smoothing out some libraries' "weak sides" with "strong sides" of others. Several ways of such optimization were analyzed.

- [4] Власов А.О. Оптимизация мощности токов утечки без изменения логического описания микросхемы // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2012. С. 471-474.
- [5] Власов А.О. Оптимизация потребляемой мощности микросхем с использованием транзисторов с разным пороговым напряжением // 13-я Российская научно-техническая конференция "Электроника, микро- и нанoeлектроника". Сборник научных трудов, 2011. С. 65-68.

7) The selection of memory blocks' parameters to obtain design goals was made. *LVT*, *RVT*, *HVT* memory block implementations' parameters, such as the static power and the performance were compared.

8) The effective use of the selected set of library elements let obtain the best trade-off between such *CPU* parameters as leakage power and time

The set of library data which was found as the optimal one, that lets reduce more than 7 times the static power with the performance loss at 16%.

REFERENCES

- [1] Low Power Methodology Manual For System-on-Chip Design. Synopsys, Inc. and ARM limited 2007.
- [2] Design Compiler® User Guide Version E-2010.12, Synopsys, December 2010.
- [3] Encounter Digital Implementation System User Guide. Product Version 9.1.3. Copyright 2010, Cadence Design Systems, Inc.
- [4] Vlasov A.O. Optimizacija moshhnosti tokov utechki bez izmenenija logicheskogo opisaniya mikroshemy // Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem - 2012. Sbornik trudov / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2012. pp. 471-474. (in Russian).
- [5] Vlasov A.O. Optimizacija potrebljaemoj moshhnosti mikroshem s ispol'zovaniem tranzistorov s raznym porogovym naprjazheniem // 13-ja Rossijskaja nauchno-tehnicheskaja konferencija "Jelektronika, mikro- i nanojelektronika". Sbornik nauchnyh trudov, 2011. pp. 65-68. (in Russian).