

Методы ускоренной характеристики больших параметризованных сложно-функциональных блоков

Р.А. Соловьев, С.В. Гаврилов, О.Н. Гудкова, Н.Н. Муханюк, Е.П. Скачкова

Учреждение Российской академии наук Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН), gudkova_o@ippm.ru

Аннотация — В работе предлагаются методы ускорения процесса характеристики сложно-функциональных блоков (СФ-блоков) КМОП-схем. Первый предлагаемый метод основан на редукции схемы за счет удаления подсхем, существенно не влияющих на результат измерений. Предлагается комбинация различных вариантов редукции, в том числе: удаление неактивных частей схемы на основе предварительного расчета с использованием ускоренного электрического моделирования; удаление несущественных для расчета частей схемы на основе структурного анализа СФ-блока с автоматической декомпозицией схемы на подсхемы элементов, связанных по постоянному току (DCCC). Другой предлагаемый метод основан на уменьшении количества расчетов на электрическом уровне за счет выявления и сокращения повторяющихся расчетов для разных вариантов входных воздействий и выходных нагрузок.

Ключевые слова — Характеризация, сложно-функциональный блок (СФ-блок), DCCC (Direct Current Connected Component).

I. ВВЕДЕНИЕ

Характеризация библиотечных элементов или блоков представляет собой процесс многократного моделирования на электрическом уровне для различных вариантов технологических и схемных параметров с последующей генерацией макромоделей на логическом уровне. Моделирование обычно проводится с помощью программ электрического моделирования (например, Hspice, Spectre). В случае больших СФ-блоков применяются быстрые коммерческие симуляторы, такие как Ultrasim или NanoSim. Стандартный процесс характеристики достаточно трудоемкий и требует от нескольких недель до нескольких месяцев компьютерного времени [1]. Для параметризованных СФ-блоков количество запусков процесса характеристики может быть более значительным, чем для обычных блоков. Это связано с тем, что требуется расчет большого числа различных конфигураций СФ-блоков для различных параметров и каждая из этих конфигураций требует отдельного расчета для разных PVT (Process, Voltage, Temperature). При этом только один расчет для конфигурации с большим количест-

вом транзисторов и RC-цепочек может потребовать, в зависимости от заданной точности, от нескольких часов до нескольких суток на современном оборудовании. В связи с этим встает вопрос об ускорении расчетов с сохранением приемлемой точности.

Одним из лидеров рынка программного обеспечения (ПО) для ускорения характеристики памяти является компания Legend, которая предлагает на рынке программу SpiceCut. С помощью этой программы можно сократить размер моделируемой схемы на основе анализа и вырезания критических путей при условии указания входных воздействий и начальных значений внутренних точек памяти [2].

Противоположный подход с вырезанием критических путей без указания входных воздействий применяется для аттестации результатов статического анализа (PrimeTime и др.) на уровне схемотехнического моделирования [3]. Однако, такой подход не обеспечивает достаточной точности при характеристике, во-первых, потому что критический путь может оказаться ложным (т.е. не всегда реализуется входными воздействиями), во-вторых, применяемые упрощения схемы на границах критического пути не всегда обеспечивают требуемую точность характеристики.

В данной работе предлагается комбинированный подход к увеличению скорости характеристики на основе сочетания двух способов – общей редукции схемы и сокращения повторяющихся расчетов. Первый способ – редукция или уменьшение размера схемы за счет удаления неактивных, либо несущественных частей схемы с сохранением нагрузочной емкости на границах вырезаемых фрагментов. Отличительной особенностью предлагаемого метода редукции является сочетание двух противоположных подходов:

- 1) Удаление неактивных частей схемы на основе предварительного расчета схемы на электрическом уровне на основе простых моделей и ускоренных методов расчета с низкой точностью.

- 2) Удаление несущественных для измерений частей схемы (даже активных) на основе структурного ана-

лиза с разбиением схемы на DCCC (Direct Current Connected Components) [4-5] («метод конусов»).

Второй способ увеличения скорости характеристики - это уменьшение количества расчетов схемы на электрическом уровне за счет выявления и сокращения повторяющихся расчетов. В данной работе для уменьшения количества расчетов предлагается использовать предварительный анализ зависимости временных характеристик от входных фронтов и емкости нагрузки на выходе.

II. ДЕКОМПОЗИЦИЯ СХЕМЫ НА ПОДСХЕМЫ ЭЛЕМЕНТОВ СВЯЗАННЫХ ПО ПОСТОЯННОМУ ТОКУ (DCCC)

Для автоматической редукции требуется ее предварительный анализ структуры СФ-блока. Предлагаемый метод структурного анализа основан на разбиении схемы на DCCC из представления схемы в виде КМОП-графа двухполюсников[6]. В англоязычной литературе используются два сокращения для такого рода компонент: DCCC – Direct Current Connected Component или DCN – Direct Current Network [7].

Предлагаемый в данной статье метод декомпозиции отличается от общепринятого предварительным анализом распределенных цепей земли и питания, что является существенным при декомпозиции схем для технологии с размерами транзисторов глубоко субмикронного и нанометрового уровня.

Графом КМОП-двухполюсников (сокращенно КМОП-графом) будем называть неориентированный граф $G=(V,E)$, построенный на основе КМОП-схемы по следующим правилам: любому узлу из множества узлов КМОП-схемы соответствует одна и только одна вершина графа; любому элементу КМОП-схемы соответствует одно и только одно ребро графа $G=(V,E)$, связывающее вершины, соответствующие полюсным узлам элемента (в случае транзистора полюсными являются узлы истока и стока).

В общем случае, КМОП-граф может иметь несколько узлов, логически эквивалентных узлу земли '0' и несколько узлов, логически эквивалентных узлу питания '1'. Совокупность таких узлов вместе с соединяющими их ребрами будем называть соответственно цепью земли и цепью питания. В простом случае каждая из цепей земли и питания состоит из одного узла и пустого множества ребер. Выделение подграфов цепей земли и питания позволяет разбить КМОП-граф на множество непересекающихся связанных компонент.

Пусть, $E_R(G)$ обозначает подмножество ребер (v_0, v_1) КМОП-графа, описывающих пару логически эквивалентных узлов, т.е. логическое отношение вида $(f_{v_0} = f_{v_1})$. В большинстве случаев такие ребра формируют резисторы.

Цепью земли КМОП-графа $G=(V,E)$ будем называть подграф $G_0=(V_0, E_0)$ графа $G=(V,E)$, построенный рекурсивно по следующим правилам:

- 1) узел земли, помеченный символом '0' принадлежит цепи земли: $v_0 \in V_0$;
- 2) если $x \in V_0$ и $(x, y) \in E_R(G)$, то $y \in V_0$ и $(x, y) \in E_0$;
- 3) $v_0 \in V_0$, $(x, y) \in E_0$ - тогда и только тогда, когда они могут быть добавлены в цепь земли на основе правил 1 и 2.

Цепью питания КМОП-графа $G=(V,E)$ будем называть подграф $G_1=(V_1, E_1)$ графа $G=(V,E)$, построенный рекурсивно по следующим правилам:

- 1) узел питания, помеченный символом '1' принадлежит цепи питания: $v_0 \in V_1$;
- 2) если $x \in V_1$ и $(x, y) \in E_R(G)$, то $y \in V_1$;
- 3) $v_0 \in V_1$, $(x, y) \in E_1$ - тогда и только тогда, когда они могут быть добавлены в цепь питания на основе правил 1 и 2.

В простом случае каждая из цепей земли и питания состоит из одной граничной вершины без ребер.

Если из КМОП-графа $G=(V,E)$ удалить цепь земли и цепь питания, а граничные вершины сочленения с цепями земли и питания продублировать (расщепить) среди оставшихся независимых компонент, то получившийся после этого граф можно разбить на совокупность связанных компонент.

Пусть $G=(V,E)$ - граф КМОП-двухполюсников, $G_0=(V_0, E_0)$ - цепь земли графа G , $G_1=(V_1, E_1)$ - цепь питания графа G и $e_0=(x_0, y_0)$, $e_0 \in E \setminus (E_0 \cup E_1)$ - ребро графа $G=(V,E)$, не входящее в цепи земли и питания. Тогда подсхемой элементов, связанных по постоянному току (сокращенно DCCC) для заданного ребра e_0 будем называть подграф $G_D(e_0)=(V_D(e_0), E_D(e_0))$ графа $G=(V,E)$, удовлетворяющий следующим условиям:

- 1) заданное ребро принадлежит DCCC: $e_0 \in E_D(e_0)$;
- 2) узлы всех двухполюсников, входящих в DCCC, принадлежат DCCC, т.е.: если $(x, y) \in E_D(e_0)$, то $x \in V_D(e_0)$, $y \in V_D(e_0)$;
- 3) для всех узлов DCCC, кроме узлов цепей питания и земли, все ребра, инцидентные узлу DCCC, принадлежат DCCC, т.е.: если $x \in V_D(e_0) \setminus (V_0 \cup V_1)$ и $(x, y) \in E$, то $(x, y) \in E_D(e_0)$;
- 4) $x \in V_D(e_0)$, $(x, y) \in E_D(e_0)$ - тогда и только тогда, когда они могут быть добавлены в DCCC на основе правил (1), (2), (3).

Стандартный КМОП-вентиль – это, как правило, одна DCCC. Простейший пример схемы из двух DCCC – это схема AND (Рис. 1). Более сложный вари-

ант DCCC декомпозиции показан на следующих рисунках: рис. 2, рис. 3, рис. 4.

Важными для рассматриваемых в статье методов являются следующие факты:

- 1) Декомпозицию DCCC можно произвести для произвольной схемы заданной на транзисторном уровне.
- 2) DCCC обеспечивает анализ распространения сигнала строго от входов DCCC к выходам DCCC.

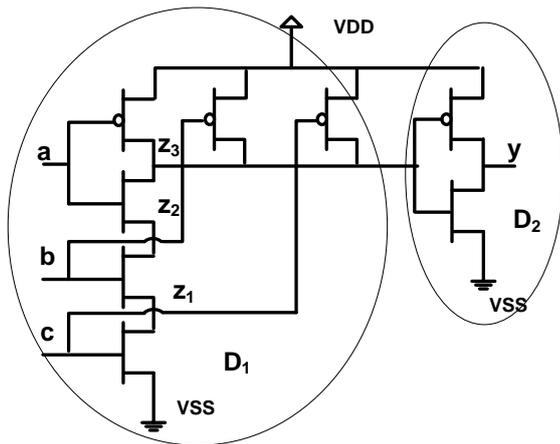


Рис. 1. Разбиение вентиля AND3 на две DCCC (D1, D2)

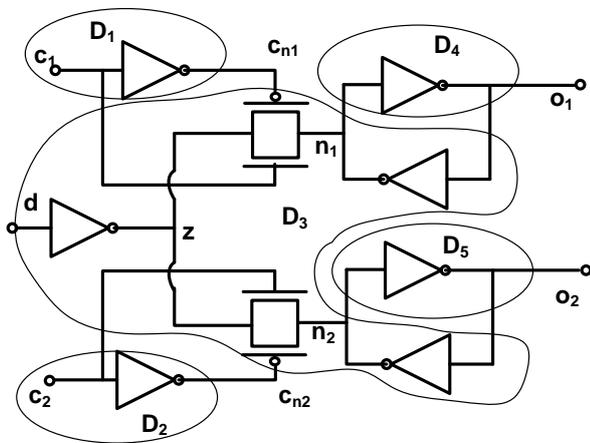


Рис. 2. Пример схемы из пяти DCCC

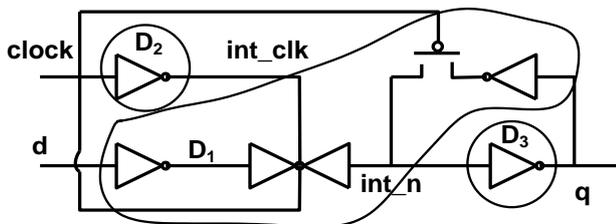


Рис. 3. DCCC декомпозиция КМОП-зашелки

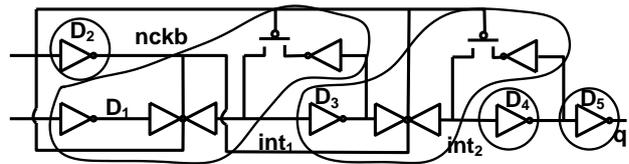


Рис. 4. DCCC декомпозиция КМОП-триггера

III. РЕДУКЦИЯ СХЕМЫ НА ОСНОВЕ МЕТОДА КОНУСОВ

Задание на характеризацию обычно состоит из двух частей: плоский или иерархический список соединений для схемы в Spice-формате и задание на расчет, содержащее следующую информацию:

- настройки программы моделирования (скорость, точность и т.д.);
- описание моделей для разных PVT;
- задание входных воздействий на первичных входах схемы;
- задание критических узлов, на которых пользователю интересно посмотреть значение сигналов;
- набор измерений для характеризации схемы (*measures*).

Предлагаемый алгоритм редукции схемы на основе метода конусов включает следующие основные шаги:

- 1) Декомпозиция схемы на DCCC.
- 2) Упорядочивание DCCC по уровням от входов к выходам.
- 3) Анализируется задание на измерения (*measures*). Для каждого узла и/или ячейки из набора измерений находится DCCC, к которой она относится, и помечается флагом “*isNeeded*”.
- 4) Двигаясь от выходов к входам помечаются все DCCC флагом “*isNeeded*” в случае, если существует соединение между анализируемой DCCC и DCCC, уже помеченной флагом “*isNeeded*” (рис.5). В данном случае уместно применять алгоритм обхода графа по схеме “в глубину”.

5) Для создания условий, эквивалентных первоначальному, на границах отобранных DCCC-компонент также необходимо сохранить емкостную нагрузку. В силу особенностей DCCC декомпозиции за пределами DCCC в первой линии находятся элементы, подключенные через затворы транзисторов. Глубина отбора оставленных за пределами DCCC элементов влияет на точность расчетов нагрузки. С целью обеспечения возможности выбора между точностью расчета или скоростью, предусмотрены различные режимы выбора глубины отбора элементов, оставленных за пределами необходимых DCCC.

IV. РЕДУКЦИЯ СХЕМЫ С ИСПОЛЬЗОВАНИЕМ РЕЗУЛЬТАТОВ БЫСТРОГО ЭЛЕКТРИЧЕСКОГО МОДЕЛИРОВАНИЯ

Основная идея второго метода редукции – это исключение элементов (транзисторов, резисторов, конденсаторов и т.д.), на узлах которых нет переключений с подключением граничных статических узлов к постоянным источникам питания.

Так как предварительный расчет не требует точности, а необходим только для нахождения статических узлов и значений на них, то для этого расчета можно применять ускоренное моделирование, в том числе упрощенные модели транзисторов и быстрый метод расчета (например, для программы Ultrasim[8], режим $speed=8$, $sim_mode=df$).

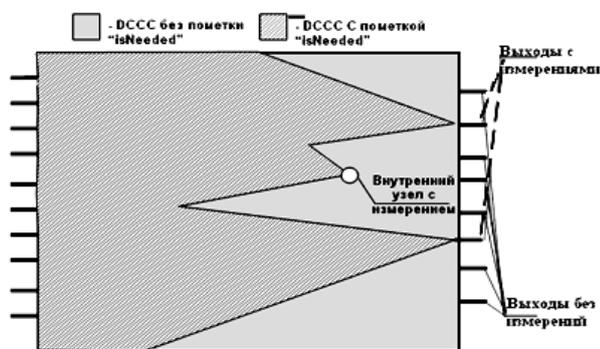


Рис. 5. Схематичный вид схемы СФ-блока после пометки всех DCCC флагом

Как показывают результаты численных экспериментов, такое моделирование может обеспечить корректный отбор списка активных узлов, превосходя по скорости в десятки, а иногда и в сотни раз, обычные методы моделирования в нормальном режиме.

В случае использования программы моделирования Ultrasim[8], на выходе можно получить два специальных файла с отчетами:

1) Список неактивных узлов. Узел считается неактивным, в случае, если изменение напряжения на нем в течение всего моделирования меньше некоторого порогового значения. На практике для технологии с размером транзистора 0.18 микрон, в качестве такого порога целесообразно использовать значение напряжения около 0.1В.

2) Статическое значение на всех узлах схемы в некоторый момент времени. Так как значение на статических узлах не изменяется или меняется незначительно, то момент времени, на котором берется значение, не важен.

Элемент схемы считается активным, если он хотя бы одним выводом подключен к активному узлу. Если элемент является не активным, т.е. подключен только

к статическим узлам, он может быть удален из схемы без существенного влияния на точность измерений.

V. АНАЛИЗ ЗАВИСИМОСТИ ВРЕМЕННЫХ ХАРАКТЕРИСТИК ОТ ВХОДНЫХ ФРОНТОВ И ЕМКОСТИ НАГРУЗКИ

Основным результатом характеризации параметризованного СФ-блока является библиотека в формате Liberty [9]. Характеристики, такие как задержка, мощность, время предустановки сигнала (T_{setup}) и время удержания сигнала (T_{hold}) задаются в виде одно- или двумерных таблиц.

Рассмотрим таблицу для задержки распространения сигнала от некоторого входа A до выхода X . Значение задержки зависит от двух параметров: длительности входного фронта на входе A и емкости нагрузки на выходе X :

$$D_{AX} = D(S_A, C_X). \quad (1)$$

В случае стандартных цифровых ячеек расчет такой таблицы выполняется путем $N \cdot M$ стадий полного моделирования схемы с N различными входными фронтами и M выходными емкостями. Однако в случае СФ-блока в силу большого размера и большого числа уровней DCCC зависимость задержки от фронта проявляется лишь на первых двух-трех каскадах DCCC, в то время как зависимость от выходной нагрузки чувствительна лишь на последних одном-двух каскадах. Тем самым, зависимость (1) можно представить в виде декомпозиции трех функций:

$$D_{AX} = D_0(S_A) + D_1 + D_2(C_X),$$

где $D_0(S_A)$ зависит только от входного фронта и не зависит от выходной нагрузки, $D_2(C_X)$ зависит только от выходной нагрузки и не зависит от входного фронта, а D_1 не зависит ни от фронта – ни от нагрузки. Тем самым, стандартный подход можно ускорить на основе сокращения повторений в моделировании за счет следующих методов:

1) Для каждого выхода СФ-блока, на котором производится измерение, наводится соответствующая DCCC (или дерево из двух каскадов DCCC для повышения точности), и их моделирование выполняется независимо M раз при разных значениях нагрузки. Из-за незначительного размера DCCC на выходах по сравнению с оригинальной схемой, время расчета полученной схемы вырастет незначительно, а количество полных запусков сократится в M раз, что дает значительный прирост скорости характеризации.

2) Для каждого входа сигнала СФ-блока, от которого требуется измерить задержку, находятся все DCCC расположенные на удалении не более 3-х уровней (или 2-х – при меньших требованиях в точности). Эта часть схемы моделируется N раз при разных значениях входного фронта.

3) Центральная часть схемы моделируется одно-кратно. Из-за незначительного размера входных и выходных каскадов DCCC по сравнению с полной схемой, время расчета входных и выходных каскадов незначительно, а количество полных запусков сократится в $N \cdot M$ раз.

VI. УСКОРЕННЫЙ АНАЛИЗ ВРЕМЕНИ ПРЕДУСТАНОВКИ (SETUP) И ВРЕМЕНИ УДЕРЖАНИЯ (HOLD)

Одним из эффективных вариантов уменьшения количества расчетов схемы является не прямое измерение времени предустановки (T_{setup}) и времени удержания (T_{hold}) в синхронных СФ-блоках. Прямой метод измерения этих величин основан на решении оптимизационной задачи поиска минимально допустимых значений T_{setup}/T_{hold} путем многократного моделирования всей схемы. Данная процедура даже для однократного измерения T_{setup}/T_{hold} требует выполнения около 40 запусков полного моделирования, и эту процедуру требуется повторить многократно для разных значений входных фронтов сигнала синхронизации и данных. Ввиду обособленности измерений, полученный результат может оказаться чрезмерно оптимистичным, так как в реальных условиях при полученных величинах, влияние тех частей схемы, которые не учтены в тестовой последовательности, могут привести к неработоспособности схемы. В настоящее время, прямой метод используется в основном для характеристики библиотек стандартных элементов (триггеров, защелок), так как число транзисторов в стандартных элементах измеряется десятками, следовательно, время расчета не велико и влияние неактивных частей схемы минимально из-за относительной простоты схем.

Вышеуказанные факторы, препятствуют применению прямых методов измерения T_{setup}/T_{hold} в СФ-блоках. Поэтому были разработаны методы косвенного измерения, которые позволяют с приемлемой точностью вычислять необходимые величины из других измерений, полученных при однократном расчете схемы. В практическом проектировании не прямые методы использовались ранее для оценки T_{setup}/T_{hold} в блоках памяти с известной внутренней структурой. В данной работе предлагается обобщение не прямых методов на случай СФ-блоков с неизвестной внутренней структурой.

На первом этапе, необходимо получить список активных цепей в результате переключения сигнала данных и тактового сигнала. При этом необходимо использовать значения времен предустановки и удержания, которые бы гарантировали правильную работоспособность схемы. Затем необходимо найти все контролируемые DCCC, которые управляются парой

сигналов данных и синхронизации. Для корректного срабатывания элементов памяти необходимо, чтобы для всех таких DCCC время прихода сигнала данных T_D^i наступало не позже момента прихода сигнала синхронизации T_C^i : $T_D^i \leq T_C^i$.

Кроме DCCC необходимо учитывать проходные элементы, которые хоть и не попадают под определение DCCC, выполняют такую же роль обособленного логического ключа. Значение T_{setup} определяется, как минимально допустимое значение опережения входного сигнала данных T_D^0 к входному сигналу синхронизации T_C^0 с соблюдением требований корректного срабатывания элементов памяти на всех контролируемых DCCC. Для его вычисления можно воспользоваться измерением задержек от сигнала данных до сигнала синхронизации с нахождением разницы среди них – минимальной среди всех найденных контролируемых DCCC:

$$T_{setup} = \min((T_D^i - T_D^0) - (T_C^i - T_C^0)) = (T_C^0 - T_D^0) - \min(T_C^i - T_D^i).$$

Для определения времени удержания T_{hold} можно применить аналогичный метод, однако условие удержания должно соблюдаться только для первого в цепочке элемента памяти, который, как правило, располагается вблизи первичного вывода. Кажущееся упрощение задачи, на самом деле добавляет трудностей по нахождению этого элемента. Для этого необходимо найти сами элементы памяти, в простейшем случае, это пары DCCC с обратной связью, но в реальной схеме обратная связь может проходить через дополнительные DCCC. Для нахождения всех активных цепей до первого элемента памяти может быть использован метод поиска в ширину. Затем вычисляются противоположные задержки от входа синхронизации до заднего фронта сигнала данных, находится минимальное и результирующее время удержания, которое вычисляется следующим образом:

$$T_{hold} = \min((T_C^j - T_C^0) - (T_D^j - T_D^0)) = (T_D^0 - T_C^0) - \min(T_D^j - T_C^j).$$

VII. ЭКСПЕРИМЕНТАЛЬНЫЕ РЕЗУЛЬТАТЫ

По результатам теоретических разработок была разработана программа с реализацией предлагаемых методов. Тестирование проводилось на реальных схемах памяти (частный случай параметризованного СФ-блока) различных конфигураций (размерности) для различных типов (*Single Port (sp)*, *Double Port (dp)*, *ROM (rm)*). Для тестирования использовался Ultrasim Cadence. Для измерения точности использовался медленный режим с высокой точностью измерения, а для измерения ускорения быстрый режим со средней точностью измерений. Максимальная ошибка на тестах для метода конусов при глубине (*depth=1*) составила около 6% (для измерений больше 1 нс) и около 48пс

(для измерений меньше 1 нс). Наибольшее ускорение наблюдается на больших конфигурациях. На части тестов время расчета сократилось более чем в 15 раз. Среднее ускорение времени счета составило 2-3 раза, от первоначального полного моделирования.

Результаты тестирования метода конусов приведены в таблицах 1 и 2. В первой колонке таблиц 1 и 2 приведены параметры конфигурации блока, типы расчетов задержек помечены (1), а T_{setup}/T_{hold} помечены (2). Во второй колонке таблицы 1 приведено время счета полной схемы памяти, а в третьей – редуцированной. В последнем столбце показано ускорение времени расчета редуцированной схемы по сравнению с полным анализом.

Таблица 1

Сравнение времени расчета полной (А) и редуцированной (В) схем для блоков памяти различных конфигураций

Конфигурация	Время счета ЦПУ (сек)		Ускорение X раз
	(А)	(В)	
sp32x4, (1)	86.26	62.13	1.39
sp32x4, (2)	50.75	38.27	1.33
sp2560x48, (1)	4893.64	282.72	16.60
sp2560x48, (2)	1752.07	154.76	10.44
sp16384x72, (1)	1415.79	254.02	5.19
sp16384x72, (2)	606.32	159.84	3.23
dp16x4,(1)	144.80	110.99	1.29
dp16x4,(2)	78.29	68.69	1.14
dp2048x36,(1)	791.41	217.01	3.46
dp2048x36,(2)	277.66	114.82	2.20
dp8192x72,(1)	1995.94	387.28	4.73
dp8192x72,(2)	673.73	187.56	3.03
rm64x4,(1)	63.03	58.51	1.06
rm64x4,(2)	59.51	50.14	1.19
rm2048x36,(1)	173.41	93.03	1.79
rm2048x36,(2)	135.56	53.12	2.42
rm32768x72,(1)	347.56	232.67	1.38
rm32768x72,(2)	266.85	56.28	3.74

Таблица 2

Относительная (а) и абсолютная (б) ошибка результатов измерений редуцированной схемы по сравнению с полной для задержек менее 1нс

Конфигурация	Максимальное отклонение	
	(а)	(б)
sp32x4, (1)	0.90%	-3.22 пс
sp32x4, (2)	-0.38%	-4.97 пс
sp2560x48,(1)	-4.03%	-46.47 пс
sp2560x48, (2)	6.30%	15.36 пс
sp16384x72, (1)	-5.08%	-38.68 пс

sp16384x72, (2)	-4.16%	20.76 пс
dp16x4,(1)	1.11%	-5.83 пс
dp16x4,(2)	0.52%	-7.74 пс
dp2048x36,(1)	-3.01%	-22.17 пс
dp2048x36,(2)	-0.75%	-21.86 пс
dp8192x72,(1)	-5.10%	48.55 пс
dp8192x72,(2)	3.56%	-7.30 пс
rm64x4,(1)	1.53%	-21.47 пс
rm64x4,(2)	3.22%	-15.33 пс
rm2048x36,(1)	3.03%	-22.30 пс
rm2048x36,(2)	3.81%	-17.60 пс
rm32768x72,(1)	3.20%	-9.59 пс
rm32768x72,(2)	5.09%	-21.16 пс

В таблице 2 во второй колонке приведен процент ошибки наиболее критического измерения больше 1нс (0.01 В). В третьей колонке стоит абсолютное значение ошибки для критического измерения менее 1нс (0.01 В).

VIII. ЗАКЛЮЧЕНИЕ

Как видно из экспериментальных результатов предложенные методы дают возможность значительно сократить время расчета в процессе характеризации параметризованных СФ-блоков и при этом сохранить приемлемую точность.

ЛИТЕРАТУРА

- [1] Magma Library Characterization // <http://www.magma-da.com/products-solutions/index.aspx>.
- [2] SpiceCut-Memory // <http://www.legenddesign.com/products/spcut-mem.shtml>.
- [3] PrimeTime // <http://www.synopsys.com/Tools/Implementation/SignOff/Pages/PrimeTime.aspx>.
- [4] Gavrilo S., Glebov A., Rusakov S. et al. Fast Power Loss Calculation for Digital Static CMOS Circuits // Proc. of ED&TC, Paris, 1997. P. 411-415.
- [5] Blaauw D.T., Zolotov V., Dasgupta A., Static Electromigration Analysis for On-Chip Signal Interconnects // IEEE Trans. On CAD. - 2003. - Vol. 22, N 1.
- [6] А.Л. Стемповский, С.В. Гаврилов, А.Л. Глебов. Методы логического и логико-временного анализа цифровых КМОП СБИС // Москва, Наука, 2007. 220 с.
- [7] Swenson G.W., Higgins T. J. Direct-Current Network Analyzer for Solving Wave-Equation Boundary-Value Problems // J. Appl. Phys. - 1952. - Vol. 23. Issue 1. P. 126-131.
- [8] Virtuoso Ultrasim Full-Chip Simulator // http://www.cadence.com/product/cic/UltraSim_fullchip/pages/default.aspx.
- [9] Open Source Liberty // <http://www.opensourceliberty.org>.